



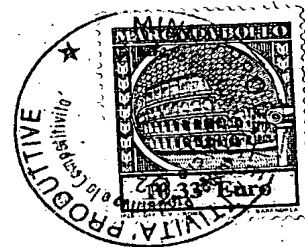
Ministero delle Attività Produttive

Direzione Generale per lo Sviluppo Produttivo e la Competitività
Ufficio Italiano Brevetti e Marchi
Ufficio G2

Autenticazione di copia di documenti relativi alla domanda di brevetto per:

Invenzione Industriale

N. TO2002 A 000997



*Si dichiara che l'unita copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito.*

30 DIC. 2003

Roma, li

IL DIRIGENTE

Sig.ra E. MARINELLI

AL MINISTERO DELL'INDUSTRIA DEL COMMERCIO E DELL'ARTIGIANATO

MODULO A

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

A. RICHIEDENTE (I)

1) Denominazione STMICROELECTRONICS S.R.L. MA
Residenza AGRATE BRIANZA (MI) codice 00951900968 IS

2) Denominazione _____
Residenza _____ codice _____

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome e nome BERGADANO MIRKO e altri cod. fiscale _____

denominazione studio di appartenenza STUDIO TORTA S.r.l.

via Viotti n. 0009 città TORINO cap 10121 (prov) TO

C. DOMICILIO ELETTIVO destinatario

via _____ n. _____ città _____ cap _____ (prov) _____

D. TITOLO

classe proposta (sez/cl/scf) _____

gruppo/sottogruppo _____

PROCEDIMENTO AUTOALLINEATO PER LA FABBRICAZIONE DI DISPOSITIVI ELETTRONICI INTEGRATIANTICIPATA ACCESSIBILITÀ AL PUBBLICO: SI ☐ NO ☐

SE ISTANZA: DATA _____

N° PROTOCOLLO _____

E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) IBEZ Roberto 3) _____

2) GROSSI Alessandro 4) _____

F. PRIORITÀ

nazione o organizzazione

tipo di priorità

numero di domanda

data di deposito

allegato
S/R

SCIoglimento RISERVE

Data

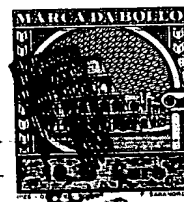
N° Protocollo

1) _____

2) _____

G. CENTRO ABILITATO DI RACCOLTA COLTURE DI MICRORGANISMI, denominazione

H. ANNOTAZIONI SPECIALI



DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) ☒ PROV n. pag. 2/2 riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare) _____

Doc. 2) ☒ PROV n. tav. 0/6 disegno (obbligatorio se citato in descrizione, 1 esemplare) _____

Doc. 3) ☐ RIS lettera d'incarico, procura o riferimento procura generale _____

Doc. 4) ☐ RIS designazione inventore _____

Doc. 5) ☐ RIS documenti di priorità con traduzione in italiano _____

Doc. 6) ☐ RIS autorizzazione o atto di cessione _____

Doc. 7) ☐ nominativo completo del richiedente _____

SCIoglimento RISERVE

Data

N° Protocollo

confronta singole priorità

8) attestati di versamento, totale Euro Duecentonovantuno/80

obbligatorio

COMPILATO IL 15/11/2002 FIRMA DEL (I) RICHIEDENTE (I)CONTINUA SINO N.O.BERGADANO MIRKODEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SINO SICAMERA DI COMMERCIO IND. ART. AGR. DI TORINOcodice 01

VERBALE DI DEPOSITO NUMERO DI DOMANDA

TO 2002A-000997L'anno duemiladueil giorno quindicidel mese di NovembreIl (I) richiedente (I) sopraindicato (I) ha (hanno) presentato a me sottoscritto la presente domanda, corredata di n. 00 fogli aggiuntivi per la concessione del brevetto sopraindicato.

I. ANNOTAZIONI VARIE DELL'UFFICIO ROGANTE

IL DEPOSITANTE
STUDIO TORTA s.r.l.
Andrea CROVERI



L'UFFICIALE ROGANTE
Mirella CAVALLARI
CATEGORIA C

RIASSUNTO INVENZIONE CON DISEGNO PRINCIPALE

NUMERO DOMANDA **2002A000997** REG. A
NUMERO BREVETTO

DATA DI DEPOSITO 15/11/2002

DATA DI RILASCIO

A. RICHIEDENTE (I)

Denominazione STMICROELECTRONICS S.R.L.

Residenza AGRATE BRIANZA (MI)

D. TITOLO

PROCEDIMENTO AUTOALLINEATO PER LA FABBRICAZIONE DI DISPOSITIVI ELETTRONICI INTEGRATI

Classe proposta (sez./cl./scl/)

(gruppo/sottogruppo)

L. RIASSUNTO

Procedimento autoallineato per la fabbricazione di dispositivi elettronici integrati, includente le fasi di: in una fetta (20) semiconduttrice avente un substrato (21), realizzare strutture di isolamento (27) delimitanti aree attive (25, 26) e sporgenti rispetto al substrato (21); deporre un primo strato conduttivo (39), ricoprente le strutture di isolamento (27) e le aree attive (25, 26); e rimuovere parzialmente il primo strato conduttivo (28). Inoltre, prima di detta fase di deporre detto primo strato conduttivo (28), viene eseguita la fase di scavare dette strutture di isolamento (27).

M. DISEGNO

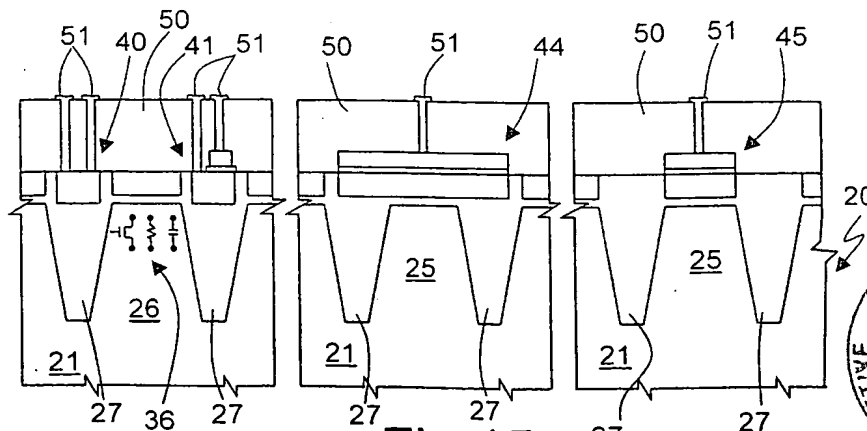
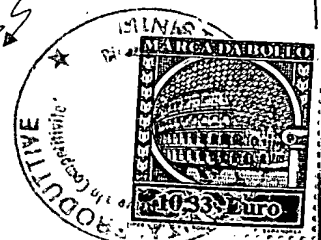


Fig.15



C.C.I.A.A.
no

D E S C R I Z I O N E

del brevetto per invenzione industriale
di STMICROELECTRONICS S.R.L.
di nazionalità italiana,

5 con sede a 20041 AGRATE BRIANZA (MILANO) - VIA C. OLIVETTI, 2

Inventori: BEZ Roberto, GROSSI Alèssandro

15 NOV. 2002

*** **

TO 2002A 000997

La presente invenzione si riferisce ad un procedi-
mento autoallineato per la fabbricazione di dispositivi
10 elettronici integrati.

Come è noto, nella moderna microelettronica, la
riduzione delle dimensioni complessive dei dispositivi
è uno degli obbiettivi principali; nella fabbricazione
di memorie di tipo non volatile, in particolare, è im-
15 portante minimizzare l'ingombro di ciascuna cella di
memoria. L'esigenza di spingere l'integrazione su scala
sempre più larga comporta però delle difficoltà. In al-
cuni casi, ad esempio, l'allineamento delle maschere
previste nelle diverse fasi di lavorazione dai procedi-
20 menti tradizionali richiede una precisione che spesso,
in pratica, non si riesce a ottenere. In particolare, è
difficoltoso allineare le maschere normalmente impiega-
te, da una parte, per definire le aree attive in cui
vengono realizzate le celle di memoria e, dall'altra,
25 per sagomare lo strato di polisilicio depositato sopra le

BERCADANO MIRKO
(iscritto al n. 8138)

aree attive e formante i terminali flottanti ("floating gates") delle celle.

Sono perciò stati messi a punto procedimenti cosiddetti autoallineati, che permettono di eliminare le
5 fasi di mascheratura più critiche, sfruttando la conformazione superficiale della fetta. Per maggiore chiarezza, si faccia riferimento alle figure 1-4, in cui è mostrata una fetta semiconduttrice 1 avente un substrato 10, ad esempio di silicio monocristallino. La fetta
10 1 comprende aree attive 2 conduttive, isolate mediante strutture di isolamento 3 a trincea o STI (dall'inglese "Shallow Trench Isolation"), ovvero, in alternativa, mediante strutture di isolamento realizzate con tecniche di ossidazione locale o LOCOS; in pratica, le
15 strutture di isolamento 3 comprendono trincee di profondità prefissata, riempite con ossido di silicio. In entrambi i casi, le strutture di isolamento 3 sporgono rispetto a una superficie 4 della fetta 1, a filo con le aree attive 2; in questo modo, le strutture di isolamento 3 definiscono recessi 5 esattamente al di sopra
20 delle aree attive 2.

Mediante fasi di impiantazione e diffusione di specie droganti e fasi di ossidazione termica, all'interno delle aree attive 2 vengono realizzate regioni di canale di celle di memoria (qui non mostrate);
25

BREVETTO MIRKO
(pubb. n. 843B)

poi, tramite un'ossidazione termica, viene realizzato uno strato di ossido di gate 7, dello spessore di alcuni nanometri. Successivamente, viene depositato uno strato conduttivo 8 di polisilicio, come mostrato in figura 2.

5 Lo strato conduttivo 8 riempie i recessi 5 e ha uno spessore tale da coprire completamente le porzioni sporgenti delle strutture di isolamento 3.

In seguito (figura 3), viene effettuata una fase di planarizzazione CMP (dall'inglese "Chemical-Mechanical-Polishing"), che viene arrestata quando le
10 strutture di isolamento 3 sono di nuovo scoperte. In questo modo, viene rimosso tutto lo strato di polisilicio 8, tranne porzioni residue che occupano i recessi 5 e sono quindi perfettamente allineate alle aree attive
15 2. In pratica, le porzioni residue dello strato di polisilicio 8, che sono isolate dalle rispettive aree attive 2 grazie allo strato di ossido 7, formano terminali flottanti 11 delle celle di memoria.

Il procedimento prosegue con la formazione di uno
20 strato isolante 12, ricoprente i terminali flottanti 11 dello strato di polisilicio 8, e con la deposizione di un ulteriore strato di polisilicio, che viene a sua volta definito per realizzare terminali di controllo 13 ("control gates") delle celle di memoria.

25 I procedimenti autoallineati noti, benché vantag-

BERGADANO MERKO
(iscritto all'Albo n. 8438)

giosi per quanto riguarda la possibilità di aumentare la scala di integrazione, presentano tuttavia altre limitazioni. I procedimenti tradizionali, infatti, permettono di realizzare componenti passivi (normalmente
5 resistori e condensatori) al di sopra delle strutture isolanti. In particolare, tali componenti e i terminali flottanti delle celle di memoria possono essere formati a partire dallo stesso strato di polisilicio utilizzando un'unica maschera. Ciò è particolarmente utile per
10 realizzare parti dei circuiti di lettura/scrittura delle celle di memoria, che normalmente sono integrati nella stessa fetta, ma devono sopportare tensioni e correnti molto più elevate. L'ossido di gate è infatti troppo sottile per eliminare l'inevitabile accoppiamento
15 capacitivo degli elementi passivi ad alta tensione con il substrato ed è facilmente soggetto a rotture se sottoposto a tensioni elevate. Inoltre, i procedimenti tradizionali permettono di realizzare nella stessa fetta celle standard e celle ad elevate prestazioni. In
20 particolare, nelle celle ad elevate prestazioni, il terminale flottante viene sagomato in modo tale da estendersi in parte anche al di fuori delle aree attive ed è quindi meglio accoppiato con il terminale di controllo: queste celle possono perciò essere pilotate più
25 rapidamente e/o con tensioni più basse.

REGIA D'ALTO ADRIANO
(scritto all'Alto n. 2430)



È però evidente che i procedimenti autoallineati noti non permettono di realizzare né componenti passivi sopra le strutture isolanti, né celle ad elevate prestazioni. Da un lato, infatti, il trattamento CMP rimuove completamente il polisilicio sovrastante le strutture isolanti, dove non rimane materiale conduttivo per formare componenti elettrici; occorre perciò deporre e definire un nuovo strato di polisilicio. Dall'altro lato, proprio per il fatto che i procedimen-
10 ti sono autoallineati, i recessi dove vengono formati i terminali flottanti delle celle hanno le stesse dimensioni delle aree attive sottostanti e quindi non è possibile migliorare l'accoppiamento.

Scopo della presente invenzione è realizzare un
15 procedimento autoallineato per la fabbricazione di dispositivi elettronici integrati, che sia privo degli inconvenienti descritti.

Secondo la presente invenzione vengono realizzati un procedimento per procedimento autoallineato per la
20 fabbricazione di dispositivi elettronici integrati e un dispositivo elettronico integrato, come definiti nelle rivendicazioni 1 e, rispettivamente, 19.

Per una migliore comprensione dell'invenzione, ne vengono ora descritte alcune forme di realizzazione, a
25 puro titolo di esempio non limitativo e con riferimento

BERGADANO MIRKO
(iscritto all'Albo n. 943B)

ai disegni allegati, nei quali:

- le figure 1-16 sono sezioni trasversali attraverso una fetta semiconduttrice in successive fasi di fabbricazione di un procedimento secondo una prima forma di attuazione della presente invenzione; e

- le figure 17 e 18 sono sezioni trasversali attraverso una fetta semiconduttrice in successive fasi di fabbricazione di un procedimento secondo una diversa forma di attuazione della presente invenzione.

10 Nel seguito, si farà riferimento all'utilizzo del procedimento secondo l'invenzione nella fabbricazione di memorie non volatili, in particolare di tipo EEPROM o flash; ciò non si deve tuttavia considerare limitativo, in quanto il procedimento può essere utilizzato anche nella realizzazione di dispositivi elettronici di altro tipo.

20 Con riferimento alle figure 5-16, una fetta semiconduttrice 20, preferibilmente di silicio, ha un substrato 21, ad esempio di tipo P. Inizialmente, sulla fetta 20 viene formata una maschera "hard" 22 comprendente uno strato di ossido di pad 22a e uno strato di nitruro di silicio 22b e presentante aperture 23. Utilizzando la maschera "hard" 22, il substrato 21 della fetta 20 viene attaccato e vengono aperte trincee 24, 25 delimitanti aree attive di memoria 25 e aree attive di

BERGADANO MIRKO
(iscritto all'Albo n. 0438)

circuiteria 26, dove verranno realizzati in seguito celle di memoria e, rispettivamente, circuiti di lettura/scrittura e di controllo (figura 6).

Dopo una fase di ossidazione termica, con cui viene ottimizzato il profilo delle trincee 24, le trincee 24 stesse vengono riempite di materiale dielettrico, qui ossido di silicio. La fetta 20 viene quindi planarizzata con un primo trattamento CMP (dall'inglese "Chemical-Mechanical-Polishing"); in particolare, il trattamento CMP viene interrotto quando è stata raggiunta la maschera "hard" 22, come mostrato in figura 7. A questo punto, in pratica, le aree attive di matrice 25 e di circuiteria 26 sono delimitate lateralmente da strutture di isolamento 27 a trincea, che si estendono in parte all'interno del substrato 21 e hanno porzioni sporgenti 27a proiettantisi superiormente dal substrato 21 stesso e allineate con la maschera "hard" 22.

Successivamente, sopra la fetta viene realizzata una maschera di resist 28, avente prime e seconde aperture 30, 31 (figura 8). In dettaglio, le prime aperture 30 sono praticate al di sopra di alcune delle aree attive di memoria 25, dove dovranno essere realizzate celle ad elevate prestazioni. Più precisamente, le prime aperture 30 scoprono porzioni della maschera

BERGADANO MIRKO
(scritto all'ABS n. 8408)

"hard" 22 sovrastanti tali aree attive di memoria 25 e, inoltre, scoprono lateralmente le porzioni sporgenti 27a delle strutture di isolamento 27 ad esse adiacenti. Le seconde aperture 31, invece, scoprono centralmente le porzioni sporgenti 27a delle strutture di isolamento 27 che delimitano le aree attive di circuiteria 26. Le restanti aree attive di memoria 25, destinate a ospitare celle standard, sono coperte dalla maschera di resist 28.

Viene quindi effettuato un attacco controllato delle porzioni di ossido di silicio esposte, come mostrato in figura 9. In questa fase, in particolare, primi e secondi recessi 32, 33 vengono scavati all'interno delle strutture di isolamento 27 delimitanti le aree attive di memoria 25 e, rispettivamente, di circuiteria 26. In pratica, i primi recessi 32 sono delimitati inferiormente e da un lato dalle rispettive strutture di isolamento 27 e, da un lato opposto, da porzioni della maschera "hard" 22 ricoprenti aree attive di memoria 25. I secondi recessi 33 sono invece scavati completamente all'interno delle strutture di isolamento 27 definenti le aree attive di circuiteria 26. Più in dettaglio, i secondi recessi 33 sono aperti e accessibili superiormente e sono delimitati lateralmente e inferiormente dalle rispettive strutture di isolamento 27.

BERGADANO MIKO
(iscritto all'Albo n. 8438)



mento 27.

In seguito, la maschera di resist 28 e la maschera "hard" 22 vengono rimosse, come mostrato in figura 10. A questo punto, in pratica, i primi recessi 32 sono
5 collegati fra loro e formano, a coppie, vani 34 sopra le rispettive aree attive di memoria 25; inoltre, al di sopra delle aree attive di memoria 25 destinate ad alloggiare celle di memoria standard, sono definiti terzi recessi 35, delimitati lateralmente da coppie di strutture di isolamento 27.
10

In modo noto, vengono poi effettuate fasi di impiantazione ionica e diffusione, per realizzare nelle aree attive di memoria 25 regioni di canale di celle di memoria, qui per comodità non mostrate; contemporaneamente, nelle aree attive di circuiteria 26 vengono realizzati componenti elettronici formanti circuiti 36 di lettura/scrittura e di controllo, qui indicati solo schematicamente.
15

Successivamente, viene cresciuto termicamente uno strato di ossido di gate 37, ricoprente sia le aree attive di memoria 25, sia le aree attive di circuiteria 26 e avente spessore pari ad alcuni nanometri (figura 11). Sulla fetta 20 viene quindi depositato un primo strato di polisilicio 39, che ricopre l'intera fetta 20 e
20
25 riempie i secondi e i terzi recessi 33, 35 e i vani 34.

BERGALINI ARBO
(scritto di ARBO n. 8/58)

La fetta 20 viene poi planarizzata con un secondo trattamento CMP, che viene arrestato quando le strutture di isolamento 27 vengono nuovamente scoperte, come mostrato in figura 12. In questa fase, il primo strato di polisilicio 39 viene rimosso completamente, ad eccezione di porzioni residue interne ai secondi recessi 33, ai vani 34 e ai terzi recessi 35 e formanti, nel primo caso, resistori 40 e prime armature 41a di condensatori; e negli altri casi terminali flottanti 44a, 45a di celle di memoria ad elevate prestazioni e, rispettivamente, di celle di memoria standard. In questo modo, in pratica, una sola deposizione di polisilicio, seguita da una fase di planarizzazione, permette di realizzare regioni conduttive estendentisi interamente (resistori 40 e prime armature 41a) o parzialmente (terminali flottanti 44a) al di sopra di strutture di isolamento 27. Le fasi sopra descritte sono inoltre autoallineate, in quanto vengono eseguite sfruttando la conformazione superficiale della fetta 20.

Vengono poi depositi uno strato dielettrico 47, (frase tolta), e un secondo strato di polisilicio 48 (figura 13), che vengono selettivamente attaccati per completare condensatori 41, celle ad elevate prestazioni 44 e celle standard 45. In particolare, a partire dal secondo strato di polisilicio 48 vengono realizzati

RECAPITANO / NIKKO
(scritto di mano - 8/8/88)

seconde armature 41b, al di sopra delle prime armature 41a, e terminali di controllo 44b, 45b al di sopra dei terminali flottanti 44a, 45a di celle ad elevate prestazioni 44 e, rispettivamente, di celle standard 45.

5 Inoltre, le seconde armature 41b e i terminali di controllo 44b, 45b sono isolati dalle regioni conduttive sottostanti (prime armature 41a, terminali flottanti 44a, 45a) tramite rispettive porzioni residue 47' dello strato dielettrico 47. Chiaramente, i terminali flot-
10 tanti 44a e di controllo 44b delle celle ad elevate prestazioni hanno un maggior accoppiamento capacitivo rispetto a quelli delle celle standard, dato che hanno superficie maggiore. Essi si estendono infatti oltre le rispettive aree attive 25 e occupano i primi recessi 32
15 delle strutture di isolamento 27 adiacenti.

Il procedimento viene quindi terminato con la deposizione di uno strato dielettrico protettivo 50, ad esempio di ossido di silicio, e con l'apertura di contatti 51 attraverso lo strato protettivo 50. La fetta
20 20 viene infine divisa in singoli "dice" 52, come mostrato in figura 16; ciascun "die" 52 comprende un rispettivo dispositivo elettronico, che, nella forma di realizzazione descritta è una memoria non volatile.

Il procedimento secondo l'invenzione è chiaramente
25 vantaggioso, perché, con l'aggiunta di un solo attacco

BERGADANO MIRKO
(iscritto all'Albo n. 8438)

mascherato delle strutture di isolamento 27, permette di realizzare sulla stessa fetta 20 sia componenti passivi ottimamente isolati dal substrato 21, sia celle di memoria con caratteristiche e prestazioni differenziate. In particolare, i componenti passivi (resistori 40 e condensatori 41) possono operare con tensioni elevate, senza rischi di rottura del dielettrico di isolamento e, inoltre, con accoppiamento capacitivo verso il substrato 21 sostanzialmente trascurabile. Tali componenti sono perciò adatti a essere impiegati nei circuiti di lettura/scrittura, ad esempio per realizzare pompe di carica. Per quanto riguarda invece le celle di memoria, il procedimento permette di realizzare celle con elevato accoppiamento capacitivo fra il terminale di controllo e il terminale flottante, oltre alle celle standard.

In questo caso, l'elevato accoppiamento capacitivo è utile, perché le celle di memoria realizzate in questo modo possono essere pilotate con basse tensioni e dunque hanno prestazioni ottimizzate. Celle di memoria di questo tipo sono particolarmente vantaggiose nel caso delle memorie cosiddette "embedded", che integrano anche circuiti logici ad alta complessità, come, ad esempio, microcontrollori o DSP ("Digital Signal Processors").

BERGADANO MIRKO
(iscritto all'Albo n. 8438)



Inoltre, la definizione della maschera di resist 28 per l'attacco delle strutture di isolamento 27 non è critico e non presenta problemi di allineamento con le aree attive. Per il resto, il procedimento è autoallineato e quindi permette di realizzare celle standard di dimensioni estremamente contenute.

Nelle figure 17 e 18, in cui parti uguali a quelle già mostrate sono indicate con gli stessi numeri di riferimento, è illustrata una diversa forma di attuazione del procedimento secondo l'invenzione. In questo caso, dopo che sono state realizzate le strutture di isolamento 27 e la fetta 20 è stata planarizzata con il primo trattamento CMP, come già descritto in precedenza, viene deposta e definita una prima maschera di resist 55, che scopre soltanto parte di strutture di isolamento 27 delimitanti aree attive di memoria 25; le strutture di isolamento che delimitano le aree attive di circuiteria 26 sono invece protette (figura 17). Mediante un primo attacco controllato, vengono poi realizzati i primi recessi 32.

Dopo che la prima maschera di resist 55 e la maschera "hard" 22 sono state rimosse, sopra la fetta 20 viene realizzata una seconda maschera di resist 56. Questa volta, tutte le aree attive di memoria 25 e le rispettive strutture di isolamento 27 vengono protette,

BERGADANO MIRKO
(iscritto all'Albo n. 5438)

mentre vengono lasciate scoperte porzioni centrali delle strutture di isolamento che delimitano le aree attive di circuiteria 26. La fetta 20 viene nuovamente attaccata in modo controllato e vengono scavati i secondi
5 recessi 33. La seconda maschera di resist 56 viene poi rimossa e il procedimento viene concluso con la deposizione del primo strato di polisilicio 28, il secondo trattamento CMP e la realizzazione di componenti passivi e celle di memoria, come già descritto, con riferimento
10 alle figure 13-16.

In questo modo, il procedimento permette di realizzare recessi aventi profondità differenziate. In particolare, è possibile controllare con maggior precisione il primo attacco, che è più critico. I primi recessi 32, infatti, devono alloggiare uno strato di polisilicio di spessore sufficiente a sopportare il trattamento CMP senza subire danni, ma al tempo stesso non devono mai avere profondità tale da scoprire le aree
15 attive di memoria 25. In base alle specifiche di progetto del singolo dispositivo di memoria, invece, potrebbe essere conveniente realizzare secondi recessi 33 più profondi.

Risulta infine evidente che al procedimento descritto possono essere apportate modifiche e varianti,
25 senza uscire dall'ambito della presente invenzione. In

BERGADINO - ORIO
(carta di 450 x 640)

particolare, le fasi di attacco mascherato per aprire i
primi e i secondi recessi 32, 33 possono essere condotte
sia prima, sia dopo la rimozione della maschera
"hard" 22. I primi recessi 32 potrebbero essere scavati
5 anche solo nelle strutture di isolamento 27 delimitanti
un lato delle aeree attive di memoria 25 e non in quelle
delimitanti gli altri lati; in pratica, per ciascuna
area attiva di memoria, in questo caso viene definito
un solo primo recesso 32. Inoltre, i dispositivi di me-
10 moria realizzati secondo il procedimento non devono ne-
cessariamente comprendere sia componenti passivi rea-
lizzati sopra le strutture di isolamento, sia celle di
memoria ad elevate prestazioni; al contrario, il proce-
dimento può anche essere sfruttato per realizzare solo
15 resistori, solo condensatori oppure solo celle di memo-
ria ad elevate prestazioni. Infine, come già accennato
in precedenza, il procedimento può essere utilizzato
anche per realizzare dispositivi diversi dalle memorie
non volatili, come ad esempio memorie volatili.

BERGAMO AIRCO
(iscritto all'Albo n. 8438)

RIVENDICAZIONI

1. Procedimento autoallineato per la fabbricazione di dispositivi elettronici integrati, comprendente le fasi di:

5 - in una fetta (20) semiconduttrice avente un substrato (21), realizzare strutture di isolamento (27) delimitanti aree attive (25, 26) e sporgenti rispetto a detto substrato (21);

10 - deporre un primo strato conduttivo (39), ricoprente dette strutture di isolamento (27) e dette aree attive (25, 26); e

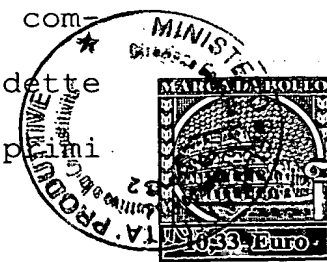
 - rimuovere parzialmente detto primo strato conduttivo (28);

15 caratterizzato dal fatto che prima di detta fase di deporre detto primo strato conduttivo (28) viene eseguita la fase di scavare dette strutture di isolamento (27).

2. Procedimento secondo la rivendicazione 1, caratterizzato dal fatto che detta fase di deporre detto 20 primo strato conduttivo (39) comprende riempire dette strutture di isolamento (27).

3. Procedimento secondo la rivendicazione 1 o 2, caratterizzato dal fatto che detta fase di scavare comprende asportare porzioni laterali (27a) di dette 25 strutture di isolamento (27), in modo da formare primi

BERGADANO MIRKO
(iscritto all'Albo n. 9439)



recessi (32).

4. Procedimento secondo la rivendicazione 3, caratterizzato dal fatto che detti primi recessi sono definiti al di sopra e lateralmente rispetto a rispettive
5 dette aree attive (25).

5. Procedimento secondo la rivendicazione 3 o 4, caratterizzato dal fatto che detta fase di asportare parzialmente comprende formare prime regioni conduttive (44a), estendentisi all'interno di almeno uno di detti
10 primi recessi (32) e sopra a una rispettiva detta area attiva (25).

6. Procedimento secondo la rivendicazione 5, caratterizzato dal fatto che dette prime regioni conduttive (44a) sono terminali flottanti di rispettive prime
15 celle di memoria (44).

7. Procedimento secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto che detta fase di scavare comprende asportare porzioni centrali (27b) di dette strutture di isolamento (27), in modo
20 da formare secondi recessi (33).

8. Procedimento secondo la rivendicazione 7, caratterizzato dal fatto che detti secondi recessi (33) sono delimitati lateralmente e inferiormente da rispettive dette strutture di isolamento (27).

25 9. Procedimento secondo la rivendicazione 8 o 9,

BERGADAMO MIRKO
(iscritto all'Albo n. 2428)

caratterizzato dal fatto che detta fase di asportare parzialmente comprende formare seconde regioni conduttive (40, 41a), alloggiate all'interno di rispettivi detti secondi recessi (33).

5 10. Procedimento secondo la rivendicazione 9, caratterizzato dal fatto che dette seconde regioni conduttive (40) comprendono resistori.

10 11. Procedimento secondo la rivendicazione 9 o 10, caratterizzato dal fatto che dette seconde regioni conduttive (41a) comprendono prime armature di rispettivi condensatori (41).

15 12. Procedimento secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto che detta fase di scavare comprende eseguire almeno un primo attacco mascherato di dette strutture di isolamento (27).

20 13. Procedimento secondo la rivendicazione 12, caratterizzato dal fatto che detta fase di scavare comprende eseguire un secondo attacco mascherato di dette strutture di isolamento (27).

 14. Procedimento secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto che detta fase di asportare parzialmente comprende planarizzare detta fetta (20).

25 15. Procedimento secondo una qualsiasi delle ri-

BERGADANO MIRKO
(iscritto all'Albo n. 5436)

vendicazioni precedenti, caratterizzato dal fatto che detta fase di asportare parzialmente è seguita dalle fasi di:

- formare uno strato dielettrico (47) al di sopra
5 di detta fetta (20);

- deporre un secondo strato conduttivo (48) al di sopra di detto strato dielettrico (47); e

- rimuovere selettivamente detto strato dielettrico (47) e detto secondo strato conduttivo (48).

10 16. Procedimento secondo la rivendicazione 15, caratterizzato dal fatto che detta fase di rimuovere selettivamente comprende formare terze regioni conduttive (41b, 44b).

15 17. Procedimento secondo le rivendicazioni 6 e 16, caratterizzato dal fatto che dette terze regioni conduttive (44b) comprendono terminali di controllo di dette celle di memoria (44).

20 18. Procedimento secondo le rivendicazioni 11 e 16, caratterizzato dal fatto che dette terze regioni conduttive (41b) comprendono seconde armature di detti condensatori (41).

19. Dispositivo elettronico integrato comprendente:

25 - un corpo (20) semiconduttore, avente un substrato (21); e

BERGADANO MIRKO
(Iscritto all'Albo n. 8438)

- una pluralità di strutture di isolamento (27),
delimitanti aree attive (25, 26) e aventi rispettive
porzioni sporgenti (27a) rispetto a detto substrato
(21);

5 caratterizzato dal fatto che dette strutture di
isolamento (27) hanno rispettivi recessi (32, 33) al-
loggianti almeno parzialmente regioni conduttive (40,
41a, 44a).

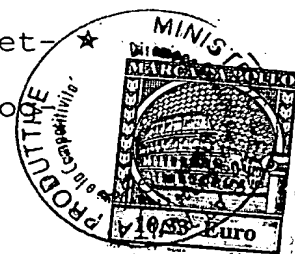
20. Dispositivo secondo la rivendicazione 19, ca-
10 ratterizzato dal fatto che detti recessi (32) sono de-
finiti lateralmente rispetto a rispettive porzioni
sporgenti (27a) di dette strutture di isolamento (27).

21. Dispositivo secondo la rivendicazione 19 o 20,
caratterizzato dal fatto che dette regioni conduttive
15 (44a) comprendono terminali di celle di memoria (44),
disposti al di sopra di rispettive dette aree attive
(25) ed estendentisi lateralmente all'interno di almeno
uno di detti recessi (32).

22. Dispositivo secondo la rivendicazione 19, ca-
20 ratterizzato dal fatto che detti recessi (33) sono de-
finiti centralmente rispetto a rispettive dette porzio-
ni sporgenti (27a) di dette strutture di isolamento
(27).

23. Dispositivo secondo la rivendicazione 22, det-
25 te regioni conduttive (40, 41a) sono interamente allo-

BERGADANO MIRKO
(iscritto all'Albo n. 8/43B)



giate all'interno di rispettivi detti recessi (33).

24. Dispositivo, secondo la rivendicazione 22 o 23, caratterizzato dal fatto che dette regioni conduttive (40) comprendono resistori.

5 25. Dispositivo secondo una qualsiasi delle rivendicazioni 22-24, caratterizzato dal fatto che dette regioni conduttive (41a) comprendono prime armature di condensatori (41).

p.i.: STMICROELECTRONICS S.R.L.

10

BERGALUCCI BERGO
(iscritto all'Albo n. 8438)

BERGALUCCI BERGO
(iscritto all'Albo n. 8438)

C.C.I.A.A.
Torino

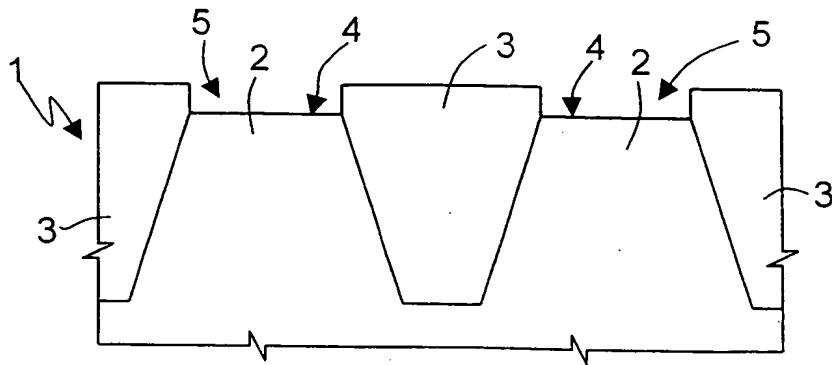


Fig.1

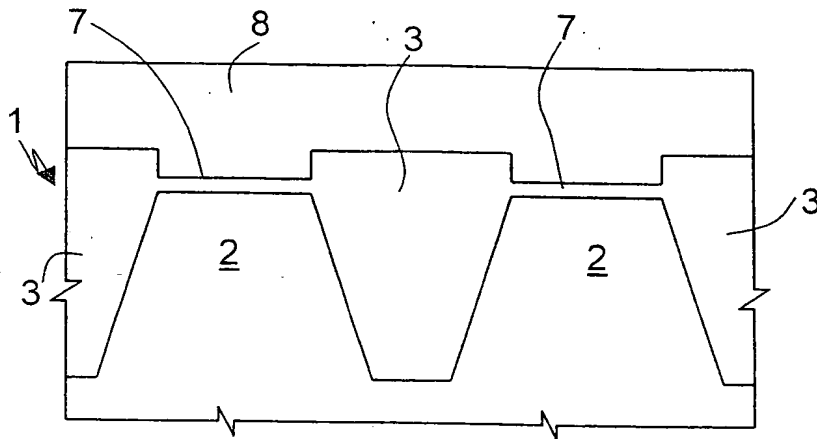


Fig.2

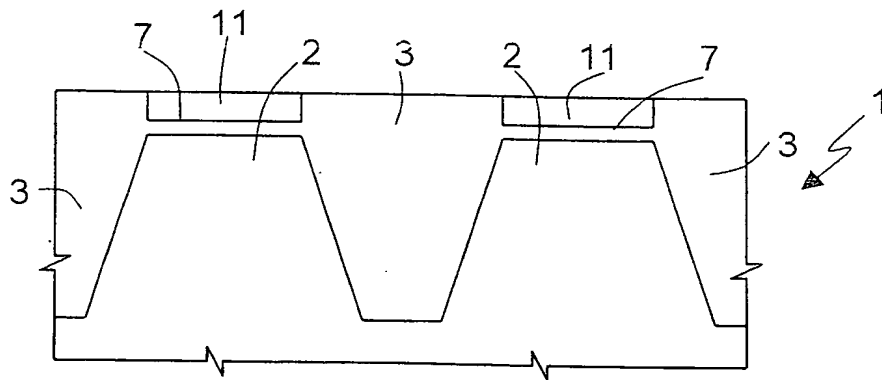


Fig.3

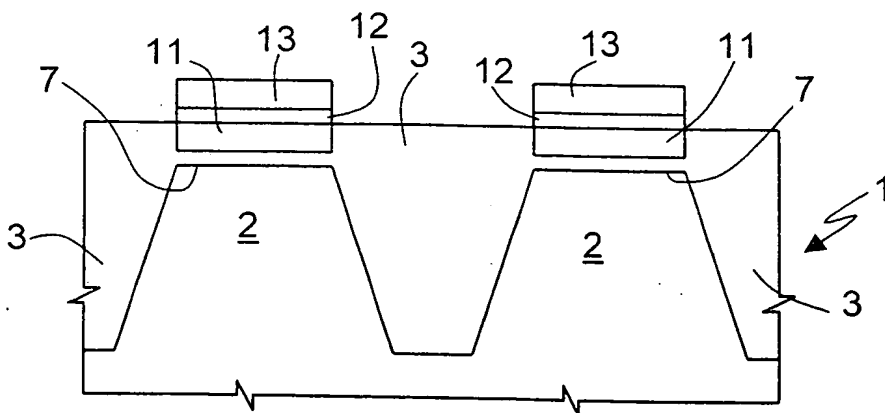


Fig.4

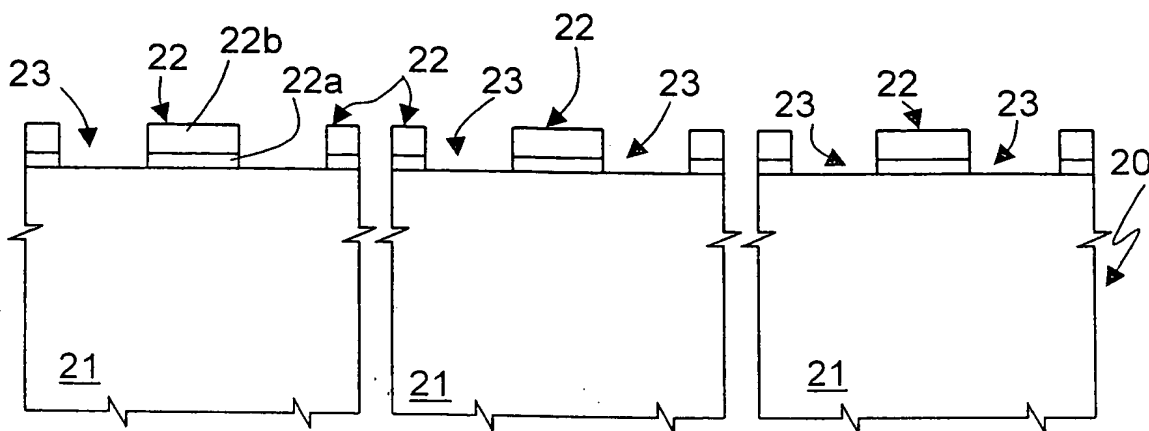


Fig. 5

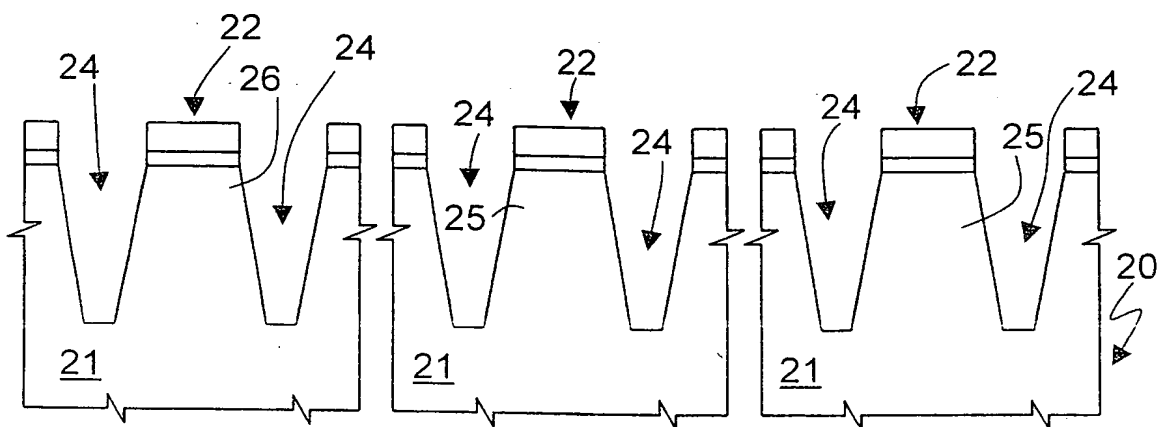


Fig. 6

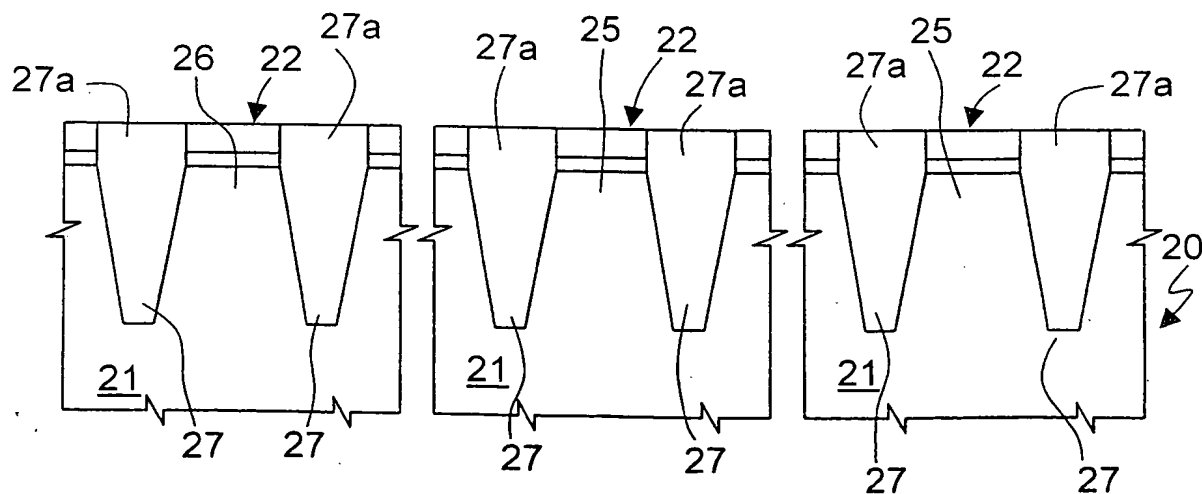


Fig. 7

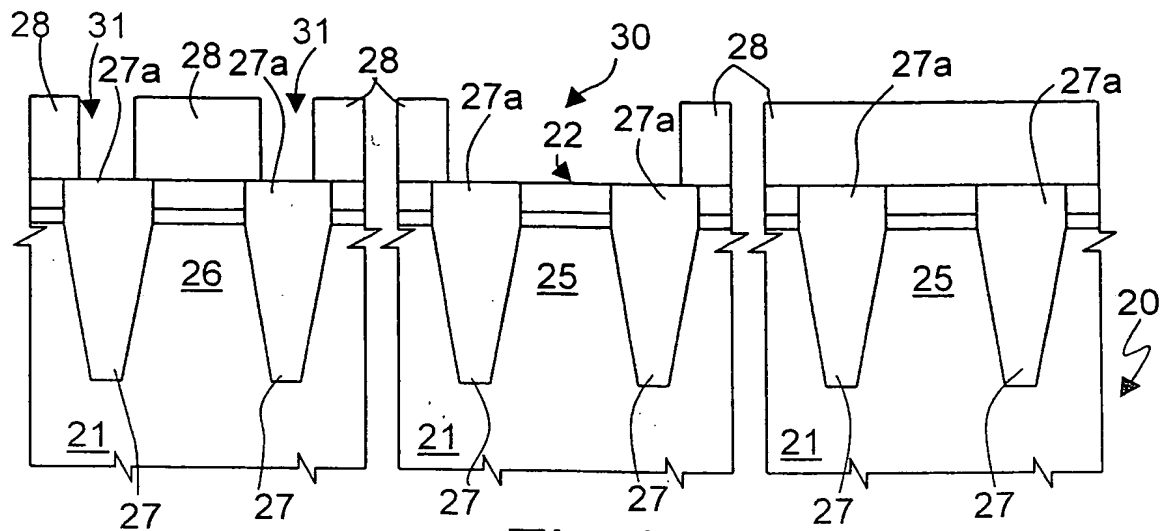


Fig. 8

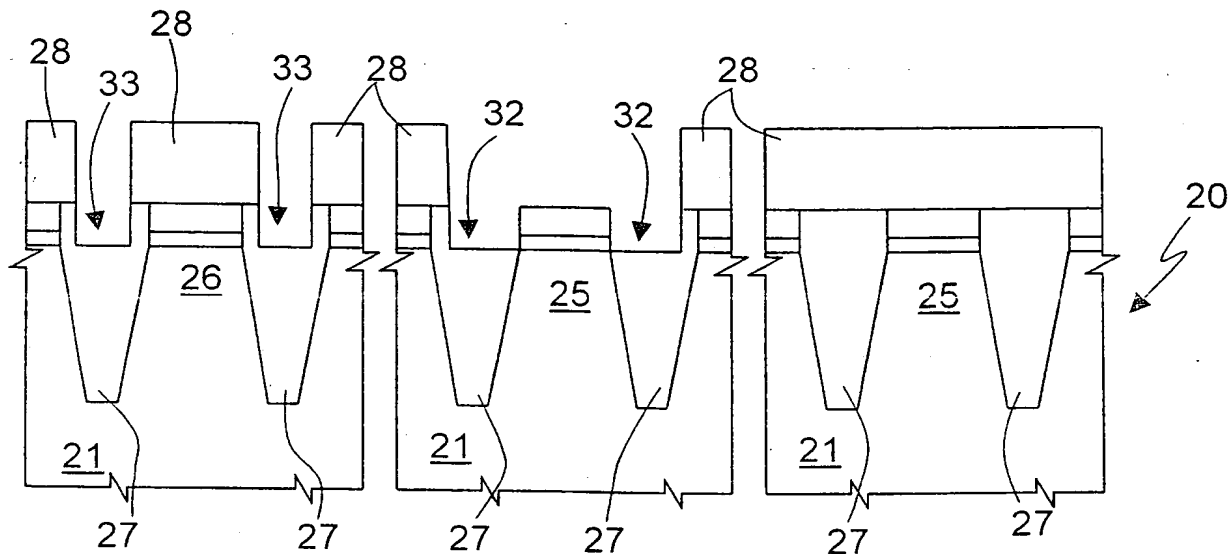


Fig. 9

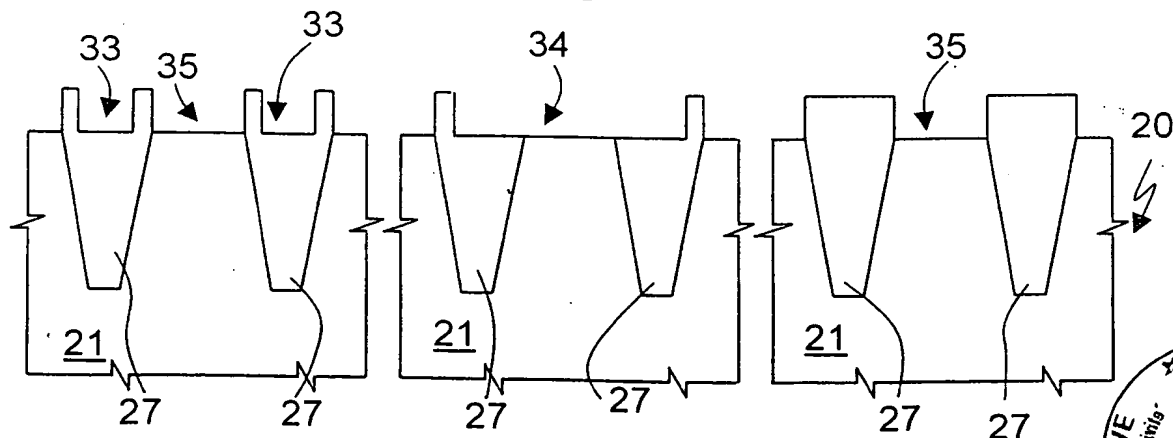


Fig. 10

2002A 000997

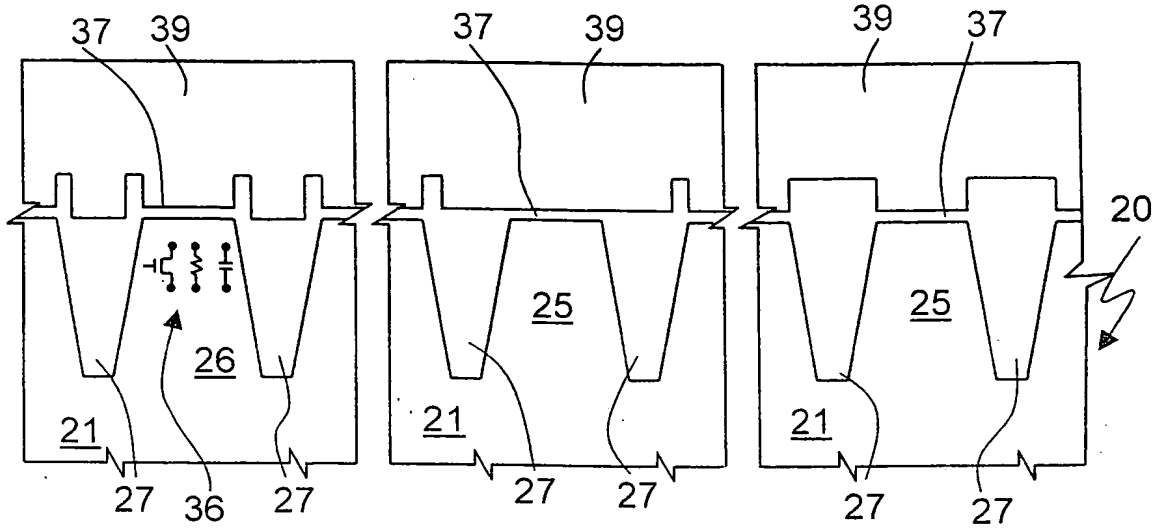


Fig.11

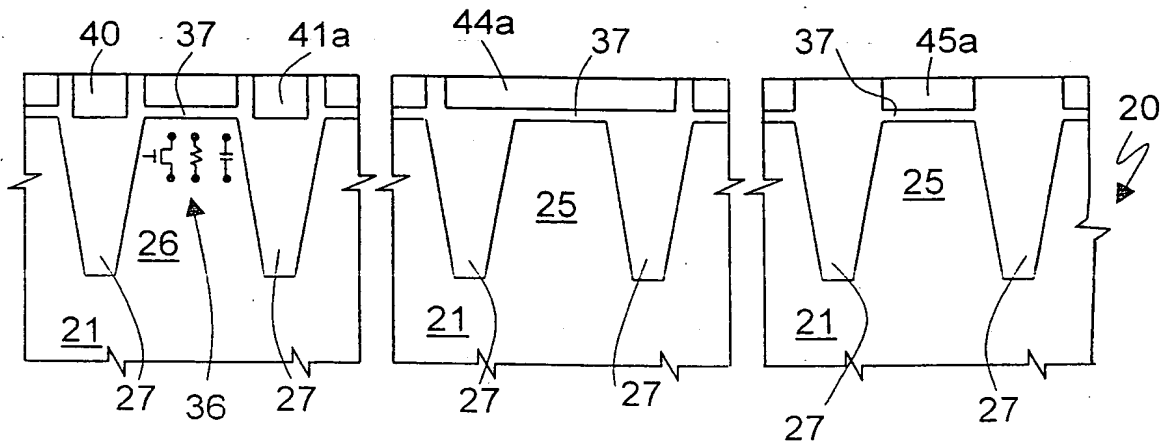


Fig.12

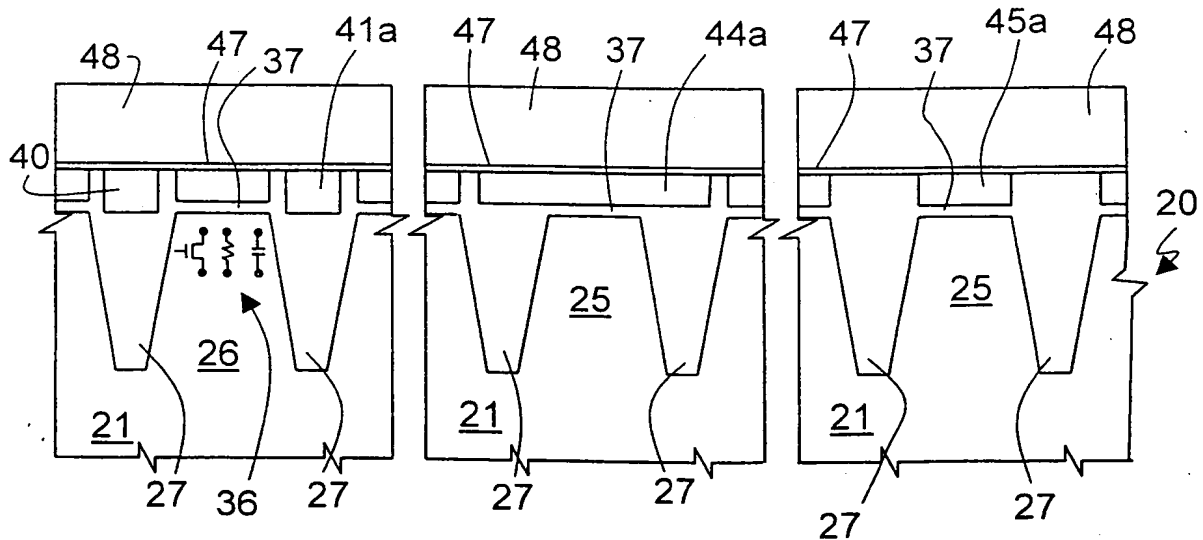


Fig.13



TO 2002A 000997

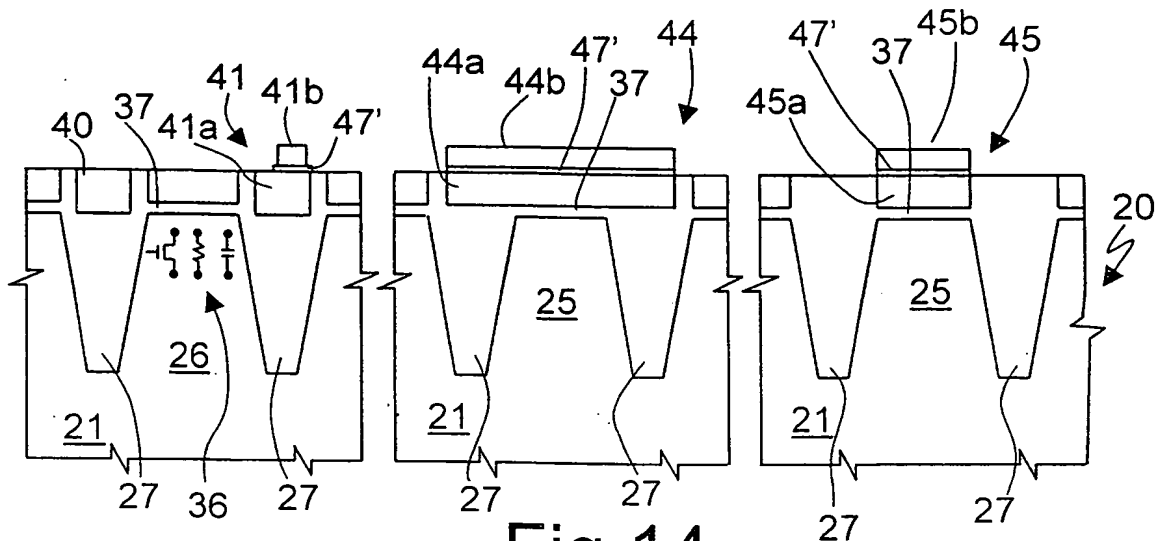


Fig. 14

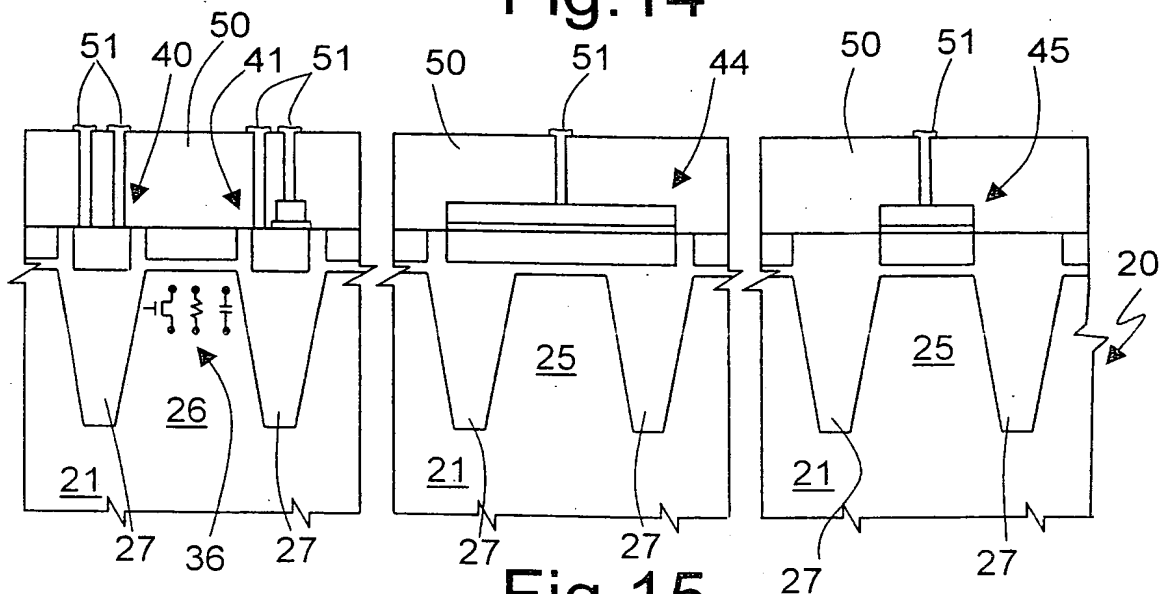


Fig. 15

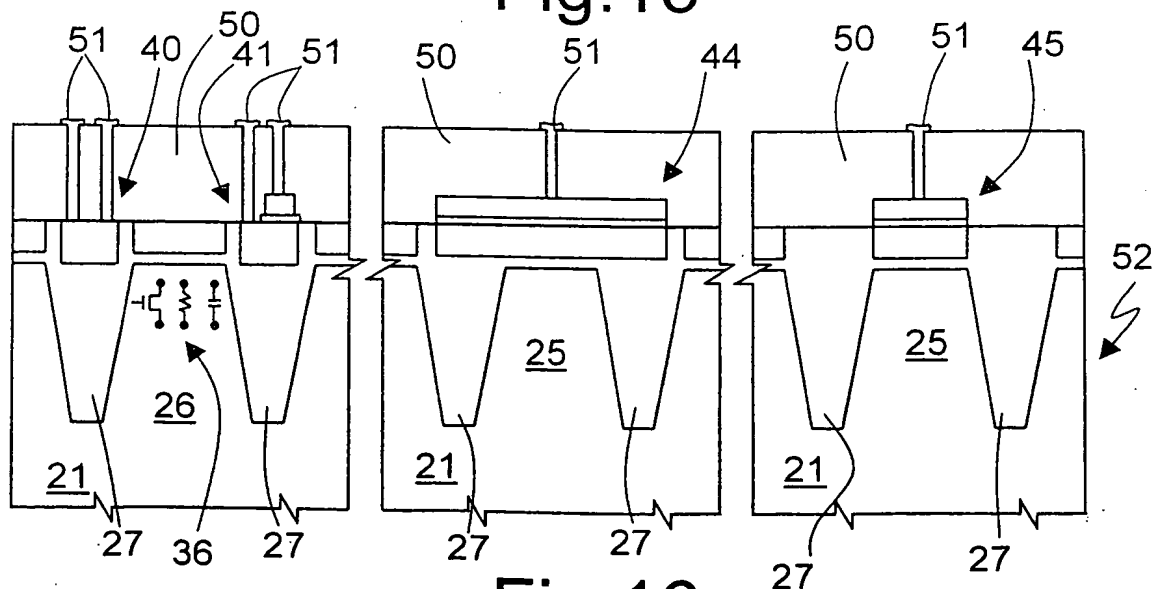


Fig. 16

TO 2002A 000997

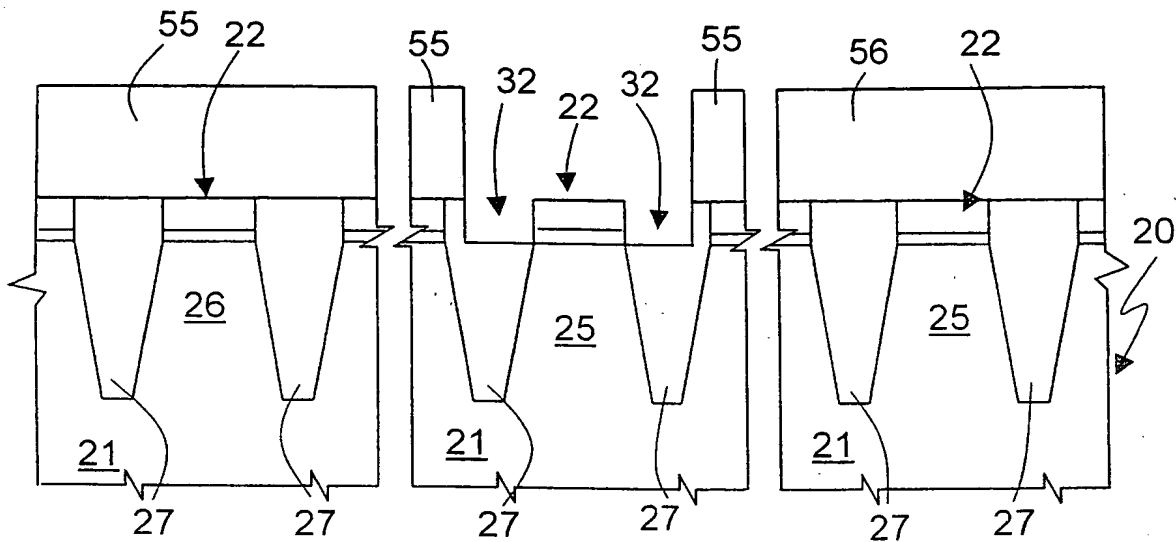


Fig.17

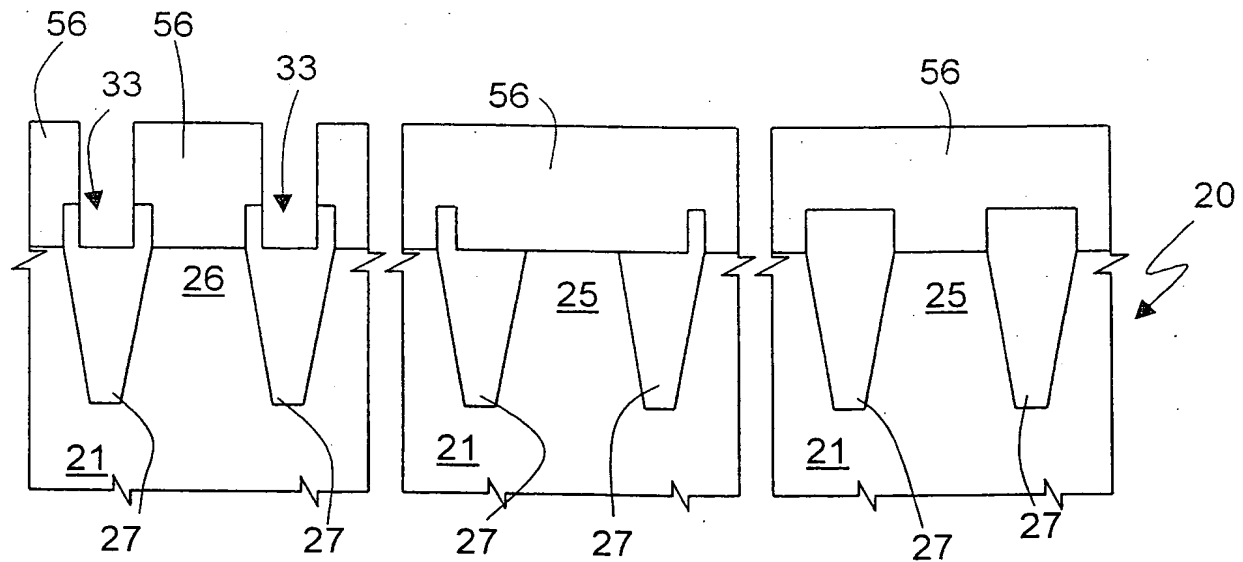


Fig.18